

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251454

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 D

27/092

3 2 1 C

29/43

29/62

G

29/78

29/78

3 0 1 S

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願平11-236

(22) 出願日 平成11年(1999) 1月4日

(31) 優先権主張番号 0 7 0 0 5 9

(32) 優先日 1997年12月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 アミタバ チャッタージー

アメリカ合衆国 テキサス州プラノ, サン
タナ レーン 3545

(72) 発明者 リチャード エイ. チャップマン

アメリカ合衆国 テキサス州ダラス, プラ
イアーコープ ドライブ 7240

(74) 代理人 弁理士 浅村 皓 (外 3 名)

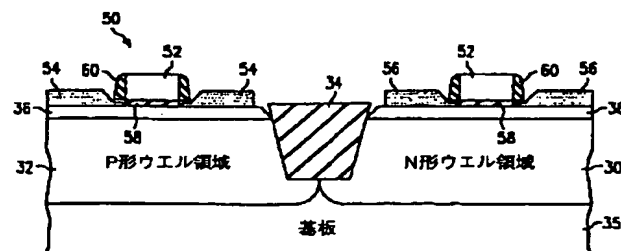
最終頁に続く

(54) 【発明の名称】 ゲート長が0.1マイクロメートル以下でかつ極めて浅い接合に対する使い捨てゲート/置換え
ゲートを用いたMOSFET

(57) 【要約】

【課題】 チャンネル長が0.1マイクロメートル以下であるCMOSトランジスタとその製造法を提供する。

【解決手段】 反対導電型の不純物が添加されたエピタクシヤル・シリコン36、38を用いて、CMOSトランジスタの中に埋込み層が作成され、一方、境界が明確なチャンネル形状が保持される。盛り上がったソース/ドレイン54、56設計を用いて、境界が明確なソース/ドレイン形状を有する浅いソース/ドレイン接合を作成することができる。エピタクシヤル層36、38の上に、ゲート52が作成される。ゲート52は、ゲート52の下のエピタクシヤル層36、38の中にチャンネル領域を定める。ゲート52の向かい合う両側のエピタクシヤル・シリコン層36、38の上に、層78が作成される。層78は、ゲート52から電氣的に分離される。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 不純物が添加されたシリコン基板と、前記基板の上に作成された反対導電型の不純物が添加されたエピタキシャル・シリコン層と、前記エピタキシャル層の上に作成され、そしてその下の前記エピタキシャル層の中にチャンネル領域を定めている、ゲートと、前記エピタキシャル層の上で前記ゲートの向かい合う両側に前記ゲートから分離されて作成され、および前記エピタキシャル層の下側部分および前記ゲートの1つの側のシリコン基板と共にソース領域を形成し、および前記ゲートの反対の側の前記エピタキシャル層の下側部分と共にドレイン領域を形成し、および前記ソース領域の部分と前記ドレイン領域の部分とが前記ゲートの向かい合う両側の前記チャンネル領域と接触している、層と、前記ソース領域の一部分および前記ドレイン領域の一部分と重なりあう前記ゲートの一部分と、を有する、MOSトランジスタ構造体。

【請求項2】 シリコン基板を用意する段階と、前記シリコン基板の上に不純物が添加されたエピタキシャル・シリコンの第1層を配置する段階と、前記不純物添加エピタキシャル・シリコン層の上にゲート酸化物の層を配置する段階と、側壁を有する使い捨てゲートを前記ゲート酸化物の上に作成する段階と、前記ゲート酸化物の上で外方向に延長された前記使い捨てゲートの上に側壁スペーサを作成する段階と、前記エピタキシャル・シリコン層からおよび前記側壁スペーサの下から、前記ゲート酸化物を除去する段階と、前記エピタキシャル・シリコンの前記第1層の上に、エピタキシャル・シリコンの盛り上がった第2層を作成する段階と、エピタキシャル・シリコンの前記第2層の上および前記ゲートの上に、層間誘電体を作成する段階と、前記ゲートの上から前記誘電体を除去する段階と、凹部を作成するために、前記使い捨てゲートを除去する段階と、不純物が添加されたエピタキシャル・シリコンの前記第1層を露出するために、および前記側壁スペーサをアンダカットして前記凹部の向かい合っていて横方向に延長された切り欠き部分を作成するために、前記ゲート酸化物を除去する段階と、不純物が添加されたエピタキシャル・シリコンの前記第1層に取り付けるために、および前記向かい合っていて横方向に延長された切り欠きの中に延長されるように、永久的ゲート材料を前記凹部の中に沈着する段階と、を有する、MOSトランジスタ構造体の製造法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体処理工程技

2

術の改良に関する。さらに詳細に言えば本発明は、改良された半導体構造体と、半導体構造体やそれらと同等の構造体を製造するために付随する改良された方法とに関する。なおさらに詳細に言えば本発明は、0.1マイクロメートル以下のチャンネル長と適切に明確である境界を備えた接合の形状とを有する、CMOSトランジスタの半導体構造体とそれを製造するために付随する方法とに関する。

【0002】

【発明が解決しようとする課題】 チャンネルおよびソース/ドレインの構造体を作成するのにイオン注入を用いる従来のトランジスタ製造の処理工程では、チャンネル長が0.1マイクロメートル以下であるCMOSトランジスタの作成をするのに必要である、境界面が要求されるように明確である形状は得られない。

【0003】 1つの利用可能な製造法および構造体は、従来のイオン注入によるチャンネル作成法である。この作成法は、 V_t (閾値電圧) を制御する作用を行う。この処理工程およびその結果得られる構造体の問題点は、接合の形状があまりにも深くそして接合の境界が十分には明確ではないことである。イオン注入およびその後に行われる注入体の焼鈍し段階において、非常に薄い層の寸法および特性を制御することは実際的ではない。

【0004】 デルタ (delta) 型に不純物添加されたチャンネルによってもまた、0.1マイクロメートル以下のチャンネル長を有するトランジスタの場合には、不十分な形状しか得られない。この処理工程および得られる構造体では、基板の上側表面に、不純物が添加されていないエピタキシャル層がチャンネルとして作成される。この処理工程が有する問題点は、 V_t の制御が本質的に不純物が添加されていない層の厚さにより支配されることである。チャンネル長が0.1マイクロメートル以下である場合、基板の添加不純物が拡散し、もしエピタキシャル・シリコンの層が厚くないならば、 V_t が好ましくない位に高いという結果が得られるであろう。もしエピタキシャル・シリコン層が厚いならば、その場合には、有害な短チャンネル効果が過度に現れるであろう。

【0005】 要請されていることは、0.1マイクロメートル以下のチャンネル長を有するトランジスタの場合、適切である形状が得られる構造体とそれに付随する製造法とを得ることである。

【0006】 前記の問題点を意識しながら、本発明が開発された。

【0007】

【課題を解決するための手段】 本発明は、CMOSトランジスタの製造に関する。具体的に言えば本発明は、0.1マイクロメートル以下のチャンネル長を有するCMOSトランジスタとそれに付随する製造法に関する。前記で説明した種々の問題点に対する解決法は、基本的には、使い捨てゲートCMOSトランジスタ製造処理工

50

3

程の中でソース／ドレインを作成する前に、不純物が添加されたエピタクシャル・シリコン層を用いることである。これらの層により、 V_t を好ましくように制御することができる。

【0008】本発明により、ゲート長が0.1マイクロメートル以下であるデバイスに应用することを意図しながら、使い捨てゲートCMOSトランジスタ構造体とその製造法が開示される。ゲート長が短い場合、トランジスタが良好な特性を有するためには、ソース／ドレインとチャンネルとの境界が明確である形状が必要である。

V_{cc} が低い場合および仕事関数がギャップ内にある (mid-gap work function) ゲート (TiN) の場合、反対導電型の不純物が表面に添加されたチャンネル (「埋込み層」) の埋込みチャンネルの設計が望ましい。本発明では、チャンネルの境界が明確な形状を保持したまま反対導電型の不純物が添加された表面層を作成するために、反対導電型の不純物が添加された (基板の導電型と反対の導電型の不純物が添加された) エピタクシャル・シリコンが用いられる。ソース／ドレインの境界が明確な形状を有する浅いソース／ドレイン接合は、盛り上がった (または、高くなった) ソース／ドレインの設計を用いて作成することができる。1つの問題点は、境界が明確なソース／ドレイン領域とチャンネルとを接続することである。本発明では、境界が明確なソース／ドレイン領域とチャンネルとを接続するのに、3種類の構造体とそれらに付随する方法とが開示される。これらの3種類の構造体は、反対導電型の不純物が添加されたエピタクシャル・シリコンで出発して、(1) ソース／ドレインからのドライブ・イン (drive-in)、(2) デグレーズ (deglaze) により除去される局所的酸化により定められる、チャンネルの中の反対導電型の不純物が添加されたエピタクシャルの中の溝、(3) 後で重なり合った領域となるソース／ドレインを露出するために、パッド酸化物のアンダカット (undercut)、を行うことにより得られる。技術 (2) および技術 (3) により、短チャンネル・トランジスタの良好な特性が結果として得られるという付加的な利点を得られる。

【0009】したがって前記の説明により本発明は、不純物が添加されたシリコン基板と、この基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層とを有する、トランジスタ構造体を包含している。エピタクシャル層の上に、ゲートが作成される。このゲートは、ゲートの下のエピタクシャル層の中にチャンネル領域を定める。エピタクシャル・シリコン層の上でゲートの向かい合った両側に、不純物が添加された層が作成される。この不純物添加層は、ゲートから絶縁された分離される。エピタクシャル層の下側部分とシリコン基板とを備えた層により、ゲートの向かい合った両側に、ソース領域およびドレイン領域が形成される。ソース領域およびドレイン領域の一部分が、ゲート

4

の向かい合った両側でチャンネル領域と接触する。ゲートの一部分が、ソース領域の一部分およびドレイン領域の一部分と重なり合う。

【0010】さらに本発明は、不純物が添加されたシリコン基板と、基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層と、その中に溝が定められているエピタクシャル層とを有する、トランジスタ構造体を包含している。エピタクシャル層の上の溝の中に、ゲートが作成される。ゲートは、ゲートの下のエピタクシャル層の中にチャンネル領域を定める。チャンネル領域は溝を包含している。エピタクシャル・シリコン層の上でゲートの向かい合った両側に、不純物が添加された層が作成される。この不純物添加層は、ゲートから絶縁されて分離される。この層は、ゲートの向かい合った両側にそれぞれ、ソース領域およびドレイン領域を形成する。ソース領域およびドレイン領域の一部分が、ゲートの向かい合った両側でチャンネル領域と接触する。ゲートの第1部分がソース領域の一部分と重なり、そしてゲートの第2部分がドレイン領域の一部分と重なる。

【0011】さらに本発明は、不純物が添加されたシリコン基板と、基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層と、エピタクシャル層の上に配置されたゲートとを有する、トランジスタ構造体を包含している。ゲートは、ゲートの下のエピタクシャル層の中にチャンネル領域を定める。エピタクシャル・シリコン層の上でゲートの向かい合った両側に、不純物が添加された層が作成される。この不純物添加層は、ゲートから絶縁されて分離される。この層は、ゲートの向かい合った両側のそれぞれに、ソース領域およびドレイン領域を形成する。ソース領域およびドレイン領域の一部分が、ゲートの向かい合った両側でチャンネル領域と接触する。エピタクシャル層とゲート層との間のエピタクシャル層の上に、パッド酸化物層が作成される。ソース領域およびドレイン領域の一部分の上にもまた、パッド酸化物層が作成される。ゲートの第1部分がパッド酸化物層によりソース領域から分離され、そしてゲートの第2部分がパッド酸化物層によりドレイン領域から分離される。ゲートの第1部分がソース領域の一部分と重なり、そしてゲートの第2部分がドレイン領域の一部分と重なる。

【0012】さらに本発明は、不純物が添加されたシリコン基板と、基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層と、エピタクシャル層の上に作成されたゲートとを有する、ゲート構造体を包含している。ゲートは、ゲートの下のエピタクシャル層の中にチャンネル領域を定める。ゲートの一方側のエピタクシャル層の中および不純物が添加されたシリコン基板の中に、ソース領域が作成される。ゲートのソース領域とは反対側のエピタクシャル層の中および不

5

純物が添加されたシリコン基板の中に、ドレイン領域が作成される。ソース領域の一部分およびドレイン領域の一部分のおおのが、ゲートの向かい合った両側でチャンネル領域と接触する。ゲートの第1部分がソース領域の一部分と重なり、そしてゲートの第2部分がドレイン領域の一部分と重なる。

【0013】本発明の主要な目的は、反対導電型の不純物が添加されたエピタクシャル・シリコン層をチャンネルとして有するトランジスタ構造体を得ることであり、それにより境界が明確な形状のチャンネルを作成することができる。

【0014】本発明のさらに別の目的は、反対導電型の不純物が添加されたエピタクシャル・シリコン層をチャンネルとして有し、および盛り上がったソース/ドレイン層を有する、トランジスタ構造体を得ることであり、それにより境界が明確な形状のチャンネルを作成することができる。本発明のこれらおよびその他の目的、特徴および利点は、添付図面を参照しての下記説明により当業者には容易に理解されるであろう。

【0015】

【発明の実施の形態】前記で説明した処理工程段階および構造体は、集積回路を製造する工程の流れを必ずしも完全には示したものではない。この分野で最近用いられている集積回路製造技術と共に、本発明を実施することができる。そして通常用いられている多くの処理工程段階が、本発明を理解するのに必要であることが予想される。当業者には、本発明はまた種々の集積回路処理工程や構造体およびデバイスにも応用できることが理解されるであろう。

【0016】本発明は、反対の導電型（NMOSに対してN形、およびPMOSに対してP形）である2重（dual）不純物添加エピタクシャル層を基板として有する。この基板は、矛盾がなくそして制御可能であるV_tの調整を可能にする、反対導電型不純物添加層としての役割を果たす。本発明のゲート構造体を作成する際に2重不純物添加エピタクシャル層を用いることにより、ゲート長が0.1マイクロメートル以下であるデバイスの適切な形状のソース/ドレインを作成することができる。2重不純物添加エピタクシャル層とは、NMOSトランジスタに対して1つの種類の不純物添加エピタクシャル層が存在し、そしてPMOSトランジスタに対して異なる種類の不純物添加エピタクシャル層が存在する、層であることを意味する。反対導電型不純物添加層はまた、ソース/ドレイン領域への接続を得るのに役立つ。図1～図11Dは、本発明による最終構造体を作成するのに含まれる主要な段階、およびいくつかのまた別の段階を示した図である。使い捨てゲート処理工程に関して下記で説明されるように、非使い捨てゲート処理工程に関してまた、反対導電型不純物添加エピタクシャル層を用いることができる。ソース/ドレイン領域への接続のため

6

のいくつかの構造体がまた開示される。

【0017】主要な段階を全体的にまず説明し、次にさらに詳細な説明を行う。最初の段階は、それぞれの基板の上にN形エピタクシャル層およびP形エピタクシャル層を作成する段階である。これらのエピタクシャル層は、酸化物により作成された分離領域により分離される。図1～図3を見よ。次に、2重不純物添加エピタクシャル層の上に、使い捨てゲート領域およびソース/ドレイン領域が作成される。ポリシリコンまたは窒化シリコン（Si₃N₄）のいずれかで作成された使い捨てゲートを用いることができ、この使い捨てゲート材料の種類に応じて、処理工程がそれに伴って変化する。図4～図6を見よ。次に、使い捨てゲートが除去される。図7を見よ。そして最終のゲート材料を作成する前に、ソース/ドレイン領域への接続が作成される。図8～図11を見よ。その結果得られるトランジスタ構造体は、ゲート長が0.1マイクロメートル以下である場合に要求される明確な境界を備えた好ましい形状を有し、および要求された動作特性を有し、そして従来の処理工程技術または利用可能な処理工程技術を用いて製造することができる。

【0018】トランジスタ構造体を作成するのに使い捨てゲートを用いて、本発明を説明する。使い捨てゲートにより、処理工程において利点が得られる。例えば使い捨てゲートを用いることにより、永久的ゲートに対して有害な処理工程パラメータの下で処理が行われることはない。けれども、使い捨てゲートを用いないトランジスタ製造工程に対しても、本発明を用いることができる。

【0019】図1～図3は、2重不純物添加エピタクシャル層の作成を示した図である。図1は、2重不純物添加エピタクシャル層が作成された後の構造体の図である。N形ウエル領域30は、図示されている酸化物トレンチ分離構造体のような既知のまたは利用可能な分離構造体34により、P形ウエル領域から分離される。これらのN形ウエル領域およびP形ウエル領域は、既知の処理工程または利用可能な処理工程のいずれかにより、シリコン基板35の中に作成される。P形ウエル領域32の上にN形エピタクシャル・シリコン36の層が作成され、そしてN形ウエル領域30の上にP形エピタクシャル・シリコン38の層が作成される。

【0020】2重不純物添加エピタクシャル層36および38の作成は、種々の方法で行うことができる。このような2つの方法がここで説明される。第1の方法は、図2A、図2Bに示されている。この方法はまた、テキサス・インスツルメンツ社、ケース番号第TI-23226号、__年__月__日受付けの出願中米国特許出願シリアル番号第__号、に開示されている。この出願中特許は、本出願の譲渡人に譲渡されており、そしてその内容は本出願の中に取り込まれている。この第1の方法に従う2重不純物添加エピタクシャル層36および38

7

を作成する際、N形ウエル領域30およびP形ウエル領域32が作成された後、これら2つの領域の一方が、LPCVD-TEOS酸化物のようなキャップ酸化物40で約150オングストロームの厚さに被覆される。キャップ酸化物40は、分離酸化物34の一部分の上にまで延長される。図2Aに示されているように、N形ウエル領域30はキャップ酸化物40により被覆され、それによりP形ウエル領域32の上にN形不純物添加エピタクシャル層36を作成することができる。キャップ酸化物40は、CVD処理工程またはプラズマで増強されたCVD処理工程のような、既知のまたは利用可能な沈着法により作成される。

【0021】N形不純物添加エピタクシャル・シリコン層36は、分離酸化物34の上またはキャップ酸化物40の上には作成されない。N形不純物添加エピタクシャル・シリコン層36は選択的エピタクシャル成長により作成され、そしてこの作成の期間中に（N形に対して）リンまたはヒ素のような既知の添加不純物がその場で添加される。N形不純物添加エピタクシャル層36は、約300オングストロームの厚さにまで作成される。次に、HFを用いた湿式化学エッチングにより、キャップ酸化物40がN形ウエル領域30の表面から除去される。次にキャップ酸化物42が、P形ウエル領域32の上のN形不純物添加エピタクシャル層36の上に作成される。キャップ酸化物42は、分離酸化物34の少なくとも一部分の上に延長される。

【0022】次に図2Bに示されているように、P形不純物添加エピタクシャル層38がN形ウエル領域30の上に約300オングストロームの厚さに作成される。P形不純物添加エピタクシャル・シリコン層は選択的エピタクシャル成長により作成され、そしてその作成の期間中に（P形に対して）ホウ素によりその場で不純物添加が行われる。次にキャップ酸化物42が、他の露出された構造体に影響を与えることなくN形不純物添加エピタクシャル層36から除去され、その結果、図1に実質的に示された構造体を作成される。キャップ酸化物は、HFを用いた湿式化学エッチングにより除去される。

【0023】図3A～図3Dは、2重不純物添加エピタクシャル層を作成するまた別の方法を示した図である。この方法では、N形不純物添加エピタクシャル・シリコン層36がP形ウエル領域32とN形ウエル領域30との両方の上に全体的に作成され、そして次にN形ウエル領域30から除去され、それによりN形ウエル領域30の上にP形不純物添加エピタクシャル層38を作成することができる。

【0024】図3Aに示されているように、N形ウエル領域30とP形ウエル領域32との両方の上に、N形不純物添加エピタクシャル層36がまず作成される。N形不純物添加エピタクシャル・シリコン層36は選択的エピタクシャル成長により作成され、そしてこの作成の期

8

間中に（N形に対して）リンまたはヒ素のような既知の添加不純物がその場で添加される。N形不純物添加エピタクシャル・シリコン層36は、約300オングストロームの厚さにまで作成される。次にすべての表面の上に、酸化物37の薄い層が約150オングストロームの厚さに沈着される。次に Si_3N_4 の層39が、約150オングストロームの厚さに沈着される。次に、層39がパターンに作成されそしてエッチングが行われて、図3Bに示されているように窒化物が除去される。N形不純物添加エピタクシャル・シリコン層36の全体が酸化され、それにより図3Cに示されているように、N形ウエル領域30の上側表面に達するまで、N形ウエル領域30の上のN形不純物添加層36を完全に消費する。次に、酸化物層41が例えばHFでエッチングすることにより除去され、この除去は、作成された酸化物層41を下のN形ウエル領域30に達するまで行われる。したがってN形ウエル領域30の上には、N形不純物添加エピタクシャル層36は残らない。図3Dを見よ。次にN形ウエル領域30の上に、P形不純物添加エピタクシャル・シリコンの層38が成長される。次に酸化物の層が約150オングストロームの厚さ（図示されていない）にまで作成される。不純物添加エピタクシャル・シリコン層36および38の上の酸化物層の上側表面に達するまで、窒化物が例えば H_3PO_4 を用いることにより層36からエッチングにより除去される。次に図3Eに示されているように、不純物添加エピタクシャル・シリコン層36および38の上側表面から酸化物層が除去される。

【0025】このトレンチ分離構造体の場合には、分離構造体34が作成された後、2重不純物添加エピタクシャル層36および38が作成される。その理由は、典型的な場合には、分離構造体を作成するのに高い温度の段階を必要とし、そのためにN形不純物添加エピタクシャル層36およびP形不純物添加エピタクシャル層38から添加不純物の好ましくない拡散が起こるからである。

【0026】次に、図4の使い捨てゲート構造体50が作成される。図4の使い捨てゲート52は、窒化物またはポリシリコンのいずれかであることができる。図5A～図5Cは窒化物のゲートの作成を示した図面であり、そして図6A～図6Dはポリシリコンのゲートの作成を示した図面である。図4に示されているように、不純物添加されたエピタクシャル・シリコン層36および38の上に、盛り上がったソース／ドレイン層54、56が作成される。N形不純物添加エピタクシャル・シリコン層36の上に、厚さが約300オングストロームの盛り上がったN+形ソース／ドレイン層54が作成される。N形不純物添加エピタクシャル・シリコン層36は、P形ウエル領域32の上に作成される。N+形ソース／ドレイン層54は、不純物が添加されていないシリコンの選択的エピタクシャル成長により作成される。次に、不

9

純物が添加されていないシリコン層に対し、当業者には既知であるまたは利用可能であるパターン作成およびイオン注入により適切に不純物添加が行われる。

【0027】P形不純物添加エピタクシャル・シリコン層38の上に、厚さが約300オングストロームの盛り上がったP+形ソース/ドレイン層56が作成される。P形不純物添加エピタクシャル・シリコン層38は、N形ウエル領域30の上に作成される。P+形ソース/ドレイン層56は、不純物が添加されていないシリコンの選択的エピタクシャル成長により作成される。次に、不純物が添加されていないシリコン層に対し、当業者には既知であるまたは利用可能であるパターン作成およびイオン注入により適切に不純物添加が行われる。

【0028】ポリシリコンまたは窒化物のゲート52は、パッド酸化物58の層の上に約50オングストロームの厚さに作成される。ポリシリコンの使い捨てゲート52に関して、ゲート52をまわりの材料から分離するために、酸化物または窒化物の側壁60が作成される。隣接するゲートを絶縁する酸化物が事前のゲート・デグレージ処理工程から保護されるように、窒化物の側壁60が用いられることが好ましい。事前のゲート・デグレージ処理工程は酸化物をHFでエッチングして、ゲート酸化物の成長の前に、下にあるSiを露出する工程である。窒化物の使い捨てゲートに関して、酸化物の側壁が作成される。

【0029】盛り上がったソース/ドレイン層54および56の作成を含むゲート構造体50の作成は、既知のまたは利用可能な処理工程で実行することができる。図5A～図5Cは、窒化シリコン(Si₃N₄、下記では「窒化物」と呼ばれる)の使い捨てゲート構造体を作成する好ましい方法を示した図である。ゲート構造体の作成は、P形ウエル領域32の上のゲート構造体に関してだけ説明される。N形ウエル領域30の上のゲート構造体の作成は実質的に同じであり、そして分離して説明する必要はないであろう。エピタクシャル・シリコン層36の上に、パッド酸化物層58および窒化物層62が作成される。パッド酸化物層58の厚さは約50オングストロームであり、そして使い捨てゲート材料層62の厚さは約2000オングストロームである。次に、2個の層58および62がパターンに作成され、そしてN形エピタクシャル層36の上側表面で停止するようにプラズマ・エッチングが(好ましくは異方的に)行われる。この段階により、エピタクシャル・シリコン層36の上のパッド酸化物層58と、パッド酸化物層58の上の窒化物ゲート材料層62との、ゲート積層構造体64が作成される。次に、例えば側壁材料層(酸化物)のブランケット(blanket)を沈着しそしてプラズマ・ブランケット・エッチング・バックをできれば異方的に行うことにより、SiO₂のような酸化物側壁スペーサ構造体66が作成される。このエッチング・バック段階は、N形不純

10

物添加エピタクシャル層36の上で停止する。プラナ・フィールド・エッチング・バックにより、使い捨て窒化物ゲート構造体64の上に側壁スペーサ66が作成される。図5Bを見よ。酸化物側壁スペーサ66は盛り上がったソース/ドレイン層68を一定の間隔距離だけ離すのに必要である。そうでないと、後の段階で用いられる高温リン・エッチング剤が盛り上がったソース/ドレイン層68に対してエッチングを行うであろう。次に、N+形の盛り上がったソース/ドレイン領域68が、層54に関して前記で説明されたようにして作成される。図5Cを見よ。

【0030】図6A～図6Dは、ポリシリコンの使い捨てゲート構造体の作成を説明した図である。このゲート構造体の作成は、P形ウエル領域の上のゲート構造体についてだけ示されている。N形ウエル領域の上のゲート構造体についても実質的に同様であり、したがって分離して説明する必要はない。N形不純物が添加されたエピタクシャル・シリコン36の上に、パッド酸化物層70および使い捨てゲート材料層72(ポリシリコン)が作成される。パッド酸化物層70の厚さは約70オングストロームであり、そして使い捨てゲート材料層の厚さは約2000オングストロームである。次に、ポリシリコン層72がパターンに作成され、そしてパッド酸化物層70の上側表面で停止するプラズマ・エッチングが(好ましくは異方的に)行われる。図6Aを見よ。次に図6Bに示されているように、酸化物または窒化物の側壁スペーサ構造体74が作成される。窒化物スペーサ74は、例えば側壁スペーサ材料層のブランケットを沈着しそしてできれば異方的にプラズマ・ブランケット・エッチング・バックを行うことにより、作成されることが好ましい。このエッチング・バック段階は、パッド酸化物層70の上で停止する。プラナ・フィールド・エッチング・バックにより、使い捨てポリシリコン・ゲート側壁の上に側壁スペーサ74が作成される。次に、既知のまたは利用可能なデグレージ処理工程が実行されて、N形不純物添加エピタクシャル・シリコン層36の上およびスペーサ74の下のパッド酸化物が除去されるが、しかしポリシリコン・ゲート材料72の下のパッド酸化物は実質的に除去されない。したがって、側壁スペーサ74の下に、切り欠き(notch)76が作成される。図6Cを見よ。酸化物デグレージ処理工程は、N形不純物添加エピタクシャル・シリコン層36をエッチングすることはない。デグレージ処理工程は、処理工程の期間中の酸化物のエッチング速度の知識に基づいた、時間を限ったエッチングである。したがって作成される切り欠きの深さは、要求されるように調整可能である。次に、層54に関して前記で説明したように、N+形の(もしN形ウエル領域の上ならばP+形の)盛り上がったソース/ドレイン層78が作成される。図6Dを見よ。このソース/ドレイン作成の期間中に、ポリシリコン72の上側表面

の上に、厚さが約300オングストロームのシリコンの層73が作成される。この層はソース／ドレイン作成の際の副産物であり、この処理工程に悪い影響を与えることはなく、そしてこの層は除去されない。N+形の盛り上がったソース／ドレイン層の足指(toe)に似た部分80が、デグレーズ処理工程によりスペーサ74の下に作成された切り欠き76の中に延長されるであろう。足指部分80は、多分、側壁74に接触するであろう。

【0031】次に、図4のゲートおよびソース／ドレイン構造体50は、そして前記の図5および図6で説明された処理工程により作成される時、図7Aに示されているように平坦化される。まず、LPCVD-TEOSのような酸化物層82が沈着されて、(側壁スペーサ74の下に切り欠き76、および側壁スペーサと盛り上がったソース／ドレイン層78との間の空間、のような)すべての空洞が充填される。典型的な場合には、酸化物層82は約2000オングストロームの厚さにまで沈着される。その後、例えば既知のまたは利用可能な化学的機械的研磨段階により、その形状が平坦化される。この平坦化は、使い捨てゲート材料層72(図示されていない)の上側表面で停止する。次に、既知のまたは利用可能な湿式エッチングまたはプラズマ・エッチングにより、使い捨てゲート層72が除去される。このゲート材料が除去されることにより、トレンチ84が作成される。ポリシリコンの使い捨てゲート材料層72を除去する処理工程の1つの例は、塩素を含むエッチング処理工程(トリメチル水酸化アンモニウム+ $(\text{CH}_3)_3\text{NCH}_2\text{CH}_2\text{OH}\cdot\text{OH}$)を用いることである。

【0032】使い捨てゲート72がポリシリコンである場合、平坦化と使い捨てゲートの除去とが行われた後に得られる構造体が図7Aに示されている。側壁スペーサ74が残って露出し、そしてポリシリコン・ゲート材料層72の下にあったパッド酸化物も露出する。パッド酸化物70はトレンチ84の底部壁を形成し、そして側壁スペーサ74はトレンチ84の側壁を形成する。

【0033】使い捨てゲートが図5の62のように窒化物である場合、平坦化と使い捨てゲート62の除去とが行われた後に得られる構造体が図7Bに示されている。窒化物ゲート材料層62の除去により定められるトレンチ88の側壁の上に、窒化物側壁スペーサ86が作成される。トレンチ88の側壁が酸化物であるために、窒化物側壁スペーサ86は必要である。窒化物側壁スペーサ86は、後で行われるパッド酸化物デグレーズ処理工程に対して露出される。窒化物側壁スペーサ86は、例えば窒化物層の整合した沈着と異方的エッチング・バックとによる、既知のまたは利用可能な処理工程により作成される。

【0034】N+形ソース／ドレイン領域36に永久的ゲート材料を接続するのに用いられる構造体およびそれに付随する処理工程が、前記で説明されそして図7Aに

示されたP形ウエルの上のポリシリコン使い捨てゲート構造体に関して説明される。図8～図11Dは、この材料を示した図である。P+形ソース／ドレイン領域に永久的ゲート材料を接続するのに用いられる構造体およびそれに付随する処理工程、または窒化物の使い捨てゲート構造体に対する構造体およびそれに付随する処理工程は、実質的に同じであり、したがって分離して説明することはしない。

【0035】図8A～図8Cは、ゲート酸化物および置換えゲートまたは永久的ゲートを作成する第1方法および付随する構造体を示した図である。図8Aは、パッド酸化物デグレーズ処理工程の後の図7Aの構造体の図である。ここでは、パッド酸化物70は完全に除去されている。側壁スペーサの内側端部がデグレーズ処理工程においていくらかアンダカットされ、それにより横方向に広がった切り欠き90が作成される。パッド酸化物デグレーズ段階は、ゲート酸化物の成長の前の表面作成として実行される。

【0036】パッド酸化物デグレーズ段階の後、ゲート酸化物91の成長が行われ、そして永久的ゲート材料92が既知のまたは利用可能な方式で沈着されそしてパターンに作成されそしてエッチングが行われて、使い捨てポリシリコン・ゲート層材料72を除去することにより定められたトレンチ84を充填するプラグが作成される。図8Bを見よ。永久的ゲート材料92は、ポリシリコン、金属、またはTiN/Wまたはポリシリコン/TiN/Wのような多数の材料の積層体であることができる。永久的ゲート材料92は、最初は、厚さが約1000オングストローム～2000オングストロームを有する層に作成される。次にこの永久的ゲート材料92に対して、フォトレジストでもってパターンに作成され、そしてプラズマでエッチングが行われることにより、永久的ゲート構造体を作成される。このプラズマ・エッチングは、異方的に行われることが好ましい。永久的ゲート材料92はトレンチ84を完全に充填し、そして側壁スペーサ74およびパッド酸化物70と接触に、そしてスペーサの内側端部の下に作成された横方向の切り欠き90を充填する。横方向の切り欠き90を充填することにより、ゲート材料はスペーサ74の下の途中にまで延長され、したがって、N+形ソース／ドレイン層にさらに接近する。既知のまたは利用可能なダマシーン(Damascene)処理工程を用いてまた、永久的ゲート構造体を作成することができる。この段階におけるゲートの底部の線路幅は溝とほぼ同じである、または溝よりも大きな幅を有し、そして切り欠き90を有する。この線路幅の寸法は、0.1マイクロメートルないし数マイクロメートルであることができる。

【0037】永久的ゲート構造体94がトレンチの中に作成された後、ドライブ・イン段階を実行することにより、要求されたトランジスタ接合96および98が作成

13

される。許容できるドライブ・イン段階は、N₂ ガス雰囲気中で 1000℃ で 25 秒間実行される焼鈍しを有する。盛り上がったソース／ドレイン層 78 により、N 形不純物が添加されたエピタクシャル層 36 および P 形ウエル 32 の中に添加不純物が拡散することが得られる。図 8 C の左側のソース領域の間の接合 96 は、パッド酸化物 70 の下の位置およびゲート 92 の下の位置まで広がり、そしてソース領域 96 とゲート 92 との間に重なり部分 100 が形成される。同様に、図 8 C の右側のドレイン接合の拡散領域の形状 98 は、パッド酸化物 70 の下の位置およびゲート 92 の下の位置まで広がり、そしてゲート 92 とドレインとの間に重なり部分 102 が形成される。ドライブ・イン段階により作成された接合 96、98 の境界は必ずしも極めて明確なものではない。N 形不純物が添加されたエピタクシャル・シリコン層 36 は、V_t 調整特性を改良するように設計され、そしてソース／ドレイン抵抗の抵抗値を小さくするのに役立つ。このことにより、要求された動作特性を得るのに必要なドライブ・インの範囲を最小にすることができる。

【0038】図 9 A および図 9 B は、永久的ゲート材料を N+ 形ソース／ドレイン領域に接続する第 2 構造体および付随する処理工程を示した図である。基本的には、トレンチ 84 の底部に溝 104 が作成され、それにより水平方向の界面と垂直方向の界面との組み合わせによりゲートをソース／ドレインに横方向に接続することが可能になる。再び図 7 A から出発して、トレンチ 84 の底部のパッド酸化物 70 が、既知のまたは利用可能な湿式エッチング工程または乾式エッチング工程を用いて除去される。トレンチ 84 の底部において犠牲酸化物 106 の成長が行われる。犠牲酸化物 106 の成長の際、N 形不純物添加エピタクシャル・シリコン 36 の一部分が消費される。図 9 A を見よ。犠牲酸化物 106 の成長が行われる処理工程は、乾燥 O₂ 雰囲気ガスの中で約 850℃ で熱酸化する段階を有する。

【0039】図 9 B に示されているように、例えば酸化物デグレース処理工程のような既知のまたは利用可能な湿式エッチング処理工程または乾式エッチング処理工程を用いて、犠牲酸化物 106 が除去される。犠牲酸化物 106 を除去することにより、トレンチ 84 の底部に (N 形不純物添加エピタクシャル層 36 の中に) 溝 104 が作成される。溝 104 は、事実上垂直に配向した側壁 108 と事実上水平に配向した底部表面 110 とを有する。犠牲酸化物を除去することによりまた、スペーサ 74 の下で横方向に延長された切り欠き 112 が作成される。犠牲酸化物 106 の除去により作成された溝 104 の寸法に応じて、側壁 108 が側壁スペーサ構造体 74 の下にまたはそれを越えて広がることができる。ゲート酸化物層 114 が溝 104 の中に 20 オングストローム～200 オングストロームの厚さにまで成長され

14

る。

【0040】ゲート酸化物 114 が成長された後、例えば図 8 に関して前記で説明された材料のような永久的ゲート材料 116 で、トレンチ 84 および溝 104 が充填される。ゲート材料 116 はゲート酸化物 114 の上に配置され、そして溝 104 の垂直方向に配向した側壁 108 を被覆し、そして切り欠き 112 を完全に充填する。次に、図 8 A～図 8 C に関して前記で説明したように、永久的ゲート材料 116 がパターンに作成され、そしてエッチングが行われる。またはそれとは異なって、
10 ダマシーン平坦化処理工程を用いて、前記で示された頂部が T 型のゲート構造体を有しない同様に充填された溝を得ることができる。永久的ゲート 116 は、実質的に垂直な界面 108 を通して (ゲート酸化物 114 を通しておよび溝 104 の側壁 108 を通して)、そして N 形不純物が添加されたエピタクシャル・シリコン層 36 から向かい合った盛り上がった N+ 形ソース／ドレイン領域 78 まで、N 形不純物が添加されたエピタクシャル・シリコン層 36 と接する。ドライブ・インは必要ではない。
20 溝 104 の実質的に垂直な側壁 108 を通して向かい合った盛り上がった N+ 形ソース／ドレイン領域 78 に接続することにより、実効的にゼロ接合深さの設計が得られ、したがって、例えばゲート長が小さくなると共に閾値電圧が減少する、ゲート長が小さくなると共に出力抵抗値が減少する、およびゲート長が小さくなると共にサブ・スレッショルド・スイング (sub-threshold swing) の劣化といった、短チャネル効果が改善される。

【0041】(酸化および酸化物エッチングによる) 部分的除去の後に残る N 形エピタクシャル・シリコン 36 が、V_t 調整のために設計される。溝 104 は、チャネル 118 と向かい合うソース／ドレイン領域 78 との間に重なりを得る役割を果たす。したがって、N 形エピタクシャル・シリコン 36 の中の単位面積当たりの N 形添加不純物の総数は、前記の図 8 A～図 8 C に関して説明した方法よりも多い。この方法は、N 形不純物が添加されたエピタクシャル・シリコン 36 をソース／ドレイン延長体として用いる。したがってこの方法では、必要な境界の明確な形状が得られる。溝 104 を作成するのに用いられる余分の酸化段階が原因となつて、N+ 形ソース／ドレイン層 36 からの添加不純物の付加的拡散が生ずることがある。
40

【0042】図 10 A および図 10 B は、永久的ゲート材料を N+ 形ソース／ドレイン領域に接続する第 3 の構造体および付随する処理工程を示した図である。再び図 7 A から出発して、デグレース段階が実行されてパッド酸化物 70 および一部分の充填酸化物 82 が除去され、それにより図 10 A に示されているように、トレンチ 84 の底部の N 形不純物添加エピタクシャル層 36 の上側表面が露出され、および側壁スペーサ 74 の下に切り欠

15

き120が作成され、そして向かい合い盛り上がったN+形ソース／ドレイン層78のおおの一部分122が露出される。

【0043】露出されたN形不純物添加エピタクシャル・シリコン層36の上側表面の上および向かい合い盛り上がったソース／ドレイン層78の傾斜した側壁の露出した部分122の上に、ゲート酸化物層124が作成される。ゲート酸化物層124の厚さは約200Å～1000Åであり、そしてゲート酸化物層124は、後で沈着されるゲート材料126を向かい合ったソース／ドレイン層78から分離する役割を果たす。次に、トレンチ84の中に永久的ゲート材料126が沈着される。永久的ゲート材料126は、側壁スペーサ74の下に作成された切り欠き120を含めてトレンチ84を完全に充填する。次に図10Bに示されているように、永久的ゲート材料126が前記で説明されたようにパターンに作成されそしてエッチングが行われて、ゲート生成体128が得られる。永久的ゲート材料126は、向かい合う盛り上がったソース／ドレイン層78の傾斜し事実上垂直な部分122の上に成長されたゲート酸化物124と接触する。したがってこの構造体は、ゲート126とドレインとの間に重なりを構成する。この技術はN形不純物添加エピタクシャル・シリコン層36を必要としないが、しかしN形不純物添加エピタクシャル・シリコン層36はソース／ドレインの抵抗値を小さくするのに役立つ。前記で説明した短チャネル効果はまた、この方法と構造体とにより改善される。

【0044】前記の実施例は盛り上がったソース／ドレイン層78を用いた実施例であったが、しかし盛り上がったソース／ドレイン層78は必要であるわけではない。図11A～図11Dは、永久的ゲート材料130をN+形ソース／ドレイン領域132、134に接続する処理工程の1つの実施例を示した図である。この実施例では、ソース／ドレイン領域は盛り上がっていない、そして処理工程は図10Aおよび図10Bで説明した処理工程と同様である。図11Aには、窒化物側壁スペーサ構造体138と共に作成された使い捨てポリシリコン・ゲート構造体136が示されている。これらはすべては、パッド酸化物140の層の上に作成される。パッド酸化物層140は、N形不純物が添加されたエピタクシャル・シリコン142の層の上に配置される。N形不純物が添加されたエピタクシャル・シリコン層142は、P形ウエル144の上に配置される。ソース／ドレイン領域132、134は注入段階により作成され、そしてN+形領域が形成される。向かい合ったソース／ドレイン132、134とチャネル146との接合は、向かい合った側壁スペーサ138の下に全体的に作成される。

【0045】図11Bは、充填酸化物148が取り付けられ、そして例えば化学的機械的研磨段階により平坦化

16

が行われた後の、使い捨てポリシリコン・ゲート構造体を示した図である。次に使い捨てポリシリコン・ゲート材料136が、湿式エッチングまたはプラズマ・エッチングを用いて除去される。使い捨てポリシリコン材料のこの除去により、トレンチ150が作成される。トレンチ150の側壁は窒化物側壁スペーサ138で作成され、そしてトレンチ150の底部はパッド酸化物層140の上側表面により作成される。

【0046】次にデグレーズ段階において、パッド酸化物層140がN形不純物添加エピタクシャル・シリコン層142の表面に達するまで除去され、そしてまた側壁スペーサ138の一部分の下からも除去されて、側壁スペーサ138の下に切り欠き152が作成される。この切り欠きは、トレンチ150の一方側においてソース132とチャネル146との間に作成された接合にわたって広がり、およびトレンチ150の他方側においてドレイン134とチャネル146との間に作成された接合にわたって広がっている。これらの接合は、N形不純物添加エピタクシャル・シリコン層142の上側表面にまで広がっている。図11Cを見よ。次に、N+形ソース領域132の部分154およびN+形ドレイン領域134の部分156が露出される。次に、厚さが約200Å～1000Åのゲート酸化物層158が、N形不純物添加エピタクシャル・シリコン層142の露出された表面の上に作成される。

【0047】図11Dに示されているように、例えば前記で説明された永久的ゲートに対して用いられた材料のような永久的ゲート材料160が沈着されて、切り欠き152を含むトレンチ150が充填される。永久的ゲート材料160が、露出された向かい合ったソース部分154およびドレイン部分156の上と共に、それらの間に配置されているゲート酸化物158の上に広がっている。それぞれの接合を通るチャネル146の両端の上でデグレーズ段階の期間中に露出されるN形不純物添加エピタクシャル・シリコン層142の長さは、ゲート材料160とソース領域132との間に生ずる重なり154と、ゲート材料160とドレイン領域134との間に生ずる重なり156との合計である。

【0048】この設計の利点は、処理工程のコストが安く、そして非常に効率的であることである。NMOSトランジスタの製造において使い捨て（置き換え）ゲートを用いることは、「置き換えゲート処理工程により製造されたゲート長が100nm以下の金属ゲートNMOSトランジスタ (Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate Process)」、IEDM97-821、0-7803-4100-7/97c IEEE、に開示されている。この文献の内容は本発明の中に取り込まれており、そして本発明の一部として付録「A」として添付されている。

【0049】本発明が例示された実施例を参照して説明

17

されたが、この説明は本発明の範囲がこれらの実施例に限定されることを意味するものではない。前記説明に基づけば当業者には、例示された実施例を種々に変更した実施例および種々に組み合わせた実施例およびその他の実施例の可能であることが分かるであろう。したがって、本発明はこのような変更実施例および他の実施例をすべてその範囲内に包含するものと理解しなければならない。

【0050】以上の説明に関して更に以下の項を開示する。

(1) 不純物が添加されたシリコン基板と、前記基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層と、前記エピタクシャル層の上に作成され、そしてその下の前記エピタクシャル層の中にチャンネル領域を定めている、ゲートと、前記エピタクシャル層の上で前記ゲートの向かい合う両側の前記ゲートから分離されて作成され、および前記エピタクシャル層の下側部分および前記ゲートの1つの側のシリコン基板と共にソース領域を形成し、および前記ゲートの反対の側の前記エピタクシャル層の下側部分と共にドレイン領域を形成し、および前記ソース領域の部分と前記ドレイン領域の部分とが前記ゲートの向かい合う両側の前記チャンネル領域と接触している、層と、前記ソース領域の一部分および前記ドレイン領域の一部分と重なりあう前記ゲートの一部分と、を有する、MOSトランジスタ構造体。

【0051】(2) 第1項記載のトランジスタ構造体において、前記ゲートの両側に作成された側壁スペーサ構造体と、前記スペーサ構造体のおおの下に作成され横方向に延長された切り欠きと、前記切り欠きの中に延長されおよび前記切り欠きを充填する部分を有するゲートと、前記ゲートと前記エピタクシャル・シリコン層との間に同じ広がり有して配置されたゲート酸化物の層と、を有し、および前記ゲートの前記部分の1つの部分が前記ソース領域の前記部分の1つに重なり合う前記切り欠きの中に延長されおよび前記切り欠きを充填し、および前記ゲートの前記部分の他の部分が前記ドレイン領域に重なり合う前記切り欠きの中に延長されおよび前記切り欠きを充填する、前記トランジスタ構造体。

【0052】(3) 第2項記載のトランジスタ構造体において、前記ゲートが前記側壁スペーサ構造体を通して横方向の外側に延長された上側部分を定める、前記トランジスタ構造体。

【0053】(4) シリコン基板を用意する段階と、前記シリコン基板の上に不純物が添加されたエピタクシャル・シリコンの第1層を配置する段階と、前記不純物添加エピタクシャル・シリコン層の上にゲート酸化物の層を配置する段階と、側壁を有する使い捨てゲートを前記ゲート酸化物の上に作成する段階と、前記ゲート酸化物の上で外方向に延長された前記使い捨てゲートの上に

18

側壁スペーサを作成する段階と、前記エピタクシャル・シリコン層からおよび前記側壁スペーサの下から、前記ゲート酸化物を除去する段階と、前記エピタクシャル・シリコンの前記第1層の上に、エピタクシャル・シリコンの盛り上がった第2層を作成する段階と、エピタクシャル・シリコンの前記第2層の上および前記ゲートの上に、層間誘電体を作成する段階と、前記ゲートの上から前記誘電体を除去する段階と、凹部を作成するために、前記使い捨てゲートを除去する段階と、不純物が添加されたエピタクシャル・シリコンの前記第1層を露出するために、および前記側壁スペーサをアンダカットして前記凹部の向かい合っていて横方向に延長された切り欠き部分を作成するために、前記ゲート酸化物を除去する段階と、不純物が添加されたエピタクシャル・シリコンの前記第1層に取り付けるために、および前記向かい合っていて横方向に延長された切り欠きの中に延長されるように、永久的ゲート材料を前記凹部の中に沈着する段階と、を有する、MOSトランジスタ構造体の製造法。

【0054】(5) 不純物が添加されたシリコン基板と、前記基板の上に作成されおよびその中に溝が定められる、反対導電型の不純物が添加されたエピタクシャル・シリコン層と、前記溝の上の前記エピタクシャル層の上に作成され、およびその下の前記エピタクシャル層の中に前記溝を包含するチャンネル領域を定める、ゲートと、前記ゲートの向かい合う両側の前記エピタクシャル層の上に前記ゲートから分離されて作成され、および前記ゲートの向かい合う両側のおおののソース領域およびドレイン領域を形成し、前記ソース領域の部分と前記ドレイン領域の部分とが前記ゲートの向かい合う両側において前記チャンネル領域と接触している、層と、前記ソース領域の一部分および前記ドレイン領域の一部分と重なりあう前記ゲートの一部分と、を有する、MOSトランジスタ構造体。

【0055】(6) 第5項記載のトランジスタ構造体において、前記ゲートの両側に作成された側壁スペーサ構造体と、前記スペーサ構造体のおおの下に作成され横方向に延長された切り欠きと、前記切り欠きの中に延長されおよび前記切り欠きを充填する部分を有するゲートと、前記ゲートと前記エピタクシャル・シリコン層との間に同じ広がり有して配置されたゲート酸化物の層と、を有し、および前記ゲートの前記部分の1つの部分が一方の前記切り欠きの中に延長されおよび一方の前記切り欠きを充填し、および前記ゲートの前記部分の他の部分が他方の前記切り欠きの中に延長されおよび他方の前記切り欠きを充填する、前記トランジスタ構造体。

【0056】(7) シリコン基板を用意する段階と、前記シリコン基板の上に不純物が添加されたエピタクシャル・シリコンの第1層を配置する段階と、前記不純物添加エピタクシャル・シリコン層の上にゲート酸化物の

19

層を配置する段階と、前記ゲート酸化物の上に側壁を有する使い捨てゲートを作成する段階と、前記ゲート酸化物上で外方向に延長された前記使い捨てゲートの上に側壁スペーサを作成する段階と、前記エピタクシャル・シリコン層からおよび前記側壁スペーサの下から、前記ゲート酸化物を除去する段階と、エピタクシャル・シリコンの前記第1層の上にエピタクシャル・シリコンの盛り上がった第2層を作成する段階と、エピタクシャル・シリコンの前記第2層の上および前記ゲートの上に層間誘電体を作成する段階と、前記ゲートの上から前記誘電体を除去する段階と、凹部を作成するために、前記使い捨てゲートを除去する段階と、前記第1エピタクシャル・シリコン基板を露出するために、前記パッド酸化物を除去する段階と、前記第1エピタクシャル・シリコン基板層と共に前記第1エピタクシャル・シリコン基板層の中の下方に延長された、酸化物を作成する段階と、前記第1エピタクシャル・シリコン基板層の中に溝を定めるために、および前記側壁スペーサをアンダカットして前記凹部の向かい合って横方向に延長された切り欠き部分を作成するために、前記酸化物を除去する段階と、前記露出された第1エピタクシャル・シリコン基板層の中に、ゲート酸化物を作成する段階と、前記第1エピタクシャル・シリコン基板層の中の溝に取り付けるために、および前記向かい合って横方向に延長された切り欠きの中に延長されるように、永久的ゲート材料を沈着する段階と、を有する、MOSトランジスタ構造体の製造法。

【0057】(8) 不純物が添加されたシリコン基板と、前記基板の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層と、前記エピタクシャル層の上に作成され、およびその下の前記エピタクシャル層の中にチャンネル領域を定める、ゲートと、前記ゲートの向かい合う両側の前記エピタクシャル層の上に前記ゲートから絶縁されて作成され、および前記ゲートの向かい合う両側のおおののソース領域およびドレイン領域を形成し、および前記ソース領域の部分と前記ドレイン領域の部分とが前記ゲートの向かい合う両側において前記チャンネル領域と接触している、層と、前記エピタクシャル層と前記ゲート層との間の前記エピタクシャル層の上に作成され、およびまた前記ソース領域の一部分と前記ドレイン領域の一部分との上に作成された、ゲート酸化物層と、前記パッド酸化物層により前記ソース領域から分離された前記ゲートの第1部分と、前記ゲート酸化物層により前記ドレイン領域から分離された前記ゲートの第2部分と、を有し、および前記ゲートの前記第1部分が前記ソース領域の一部分と重なり、および前記ゲートの前記第2部分が前記ドレイン領域の一部分と重なる、MOSトランジスタ構造体。

【0058】(9) 第8項記載のトランジスタ構造体において、前記ゲートの両側に作成された側壁スペーサ構造体と、前記スペーサ構造体のおおのの下に作成さ

20

れ横方向に延長された切り欠きと、前記切り欠きの中に延長されおよび前記切り欠きを充填する部分を有するゲートと、を有する、前記トランジスタ構造体。

【0059】(10) シリコン基板を用意する段階と、前記シリコン基板の上に不純物が添加されたエピタクシャル・シリコンの第1層を配置する段階と、前記不純物添加エピタクシャル・シリコン層の上にパッド酸化物の層を配置する段階と、前記パッド酸化物の上に側壁を有する使い捨てゲートを作成する段階と、前記ゲート酸化物上で外方向に延長された前記使い捨てゲートの上に側壁スペーサを作成する段階と、前記第1エピタクシャル・シリコン層からおよび前記側壁スペーサの下から、前記パッド酸化物を除去する段階と、前記エピタクシャル・シリコンの前記第1層の上にエピタクシャル・シリコンの盛り上がった第2層を作成する段階と、エピタクシャル・シリコンの前記第2層の上および前記ゲートの上に層間誘電体を作成する段階と、前記ゲートの上から前記誘電体を除去する段階と、凹部を作成するために、前記使い捨てゲートを除去する段階と、前記第1エピタクシャル・シリコン基板を露出するためにおよびエピタクシャル・シリコンの前記第2層の部分の露出するために、前記パッド酸化物を除去する段階と、前記第1エピタクシャル・シリコン基板層の上およびエピタクシャル・シリコンの前記第2層の露出された部分の上に、ゲート酸化物を作成する段階と、前記第1エピタクシャル・シリコン基板層およびエピタクシャル・シリコンの前記第2層に取り付けるために、前記凹部の中に永久的ゲート材料を沈着する段階と、を有する、MOSトランジスタ構造体の製造法。

【0060】(11) 反対導電型の不純物が添加された(基板の導電型と反対型の不純物が添加された)エピタクシャル・シリコン36、38を用いて、CMOSトランジスタの中に埋込み層が作成され、一方、境界が明確なチャンネル形状が保持される。盛り上がった(すなわち、高くなった)ソース/ドレイン54、56設計を用いて、境界が明確なソース/ドレイン形状を有する浅いソース/ドレイン接合を作成することができる。本発明は、不純物が添加された基板35と、基板35の上に作成された反対導電型の不純物が添加されたエピタクシャル・シリコン層36、38と、を有するトランジスタ構造体を包含している。エピタクシャル層36、38の上に、ゲート52が作成される。ゲート52は、ゲート52の下のエピタクシャル層36、38の中にチャンネル領域を定める。ゲート52の向かい合う両側のエピタクシャル・シリコン層36、38の上に、層78が作成される。層78は、ゲート52から電気的に分離される。

【図面の簡単な説明】

【図1】本発明による2重不純物添加エピタクシャル・シリコン層(N形不純物添加エピタクシャル・シリコン

50

21

層およびP形不純物添加エピタクシャル・シリコン層)を有するシリコン基板構造体の横断面図。

【図2】基板の上に2重不純物添加エピタクシャル・シリコン層を作成する1つの方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図。

【図3】基板の上に2重不純物添加エピタクシャル・シリコン層を作成するまた別の方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図、CはBの次の段階の図、DはCの次の段階の図、EはDの次の段階の図。

【図4】本発明に従って作成された部分的トランジスタの横断面図。

【図5】使い捨て窒化物ゲート材料を用いた図4に示されたのと同様な部分的トランジスタの作成を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図、CはBの次の段階の図。

【図6】使い捨てポリシリコン・ゲート材料を用いた図4に示されたのと同様な部分的トランジスタの作成を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図、CはBの次の段階の図、DはCの次の段階の図。

【図7】窒化物またはポリシリコンの使い捨て材料の除去段階を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図。

【図8】使い捨てポリシリコン・ゲートが除去された後 *

22

*の第1構造体および永久的ゲート構造体を作成する方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図、CはBの次の段階の図。

【図9】使い捨てポリシリコン・ゲートが除去された後の第2構造体および永久的ゲート構造体を作成する方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図。

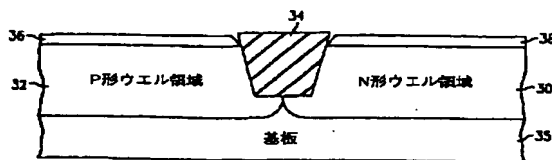
【図10】使い捨てポリシリコン・ゲートが除去された後の第3構造体および永久的ゲート構造体を作成する方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図。

【図11】トランジスタの作成において盛り上がったソース/ドレイン層が用いられない場合の構造体および永久的ゲート構造体を作成する方法を示した横断面図であって、Aは初期の段階の図、BはAの次の段階の図、CはBの次の段階の図、DはCの次の段階の図。

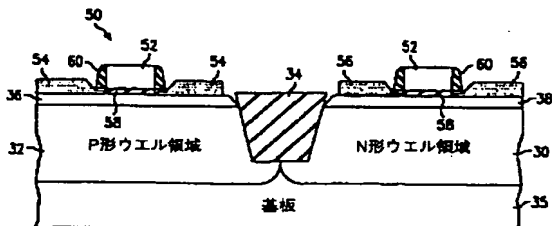
【符号の説明】

35 不純物が添加されたシリコン基板
36、38 反対導電型の不純物が添加されたエピタクシャル・シリコン
52、72、92 ゲート
54、56 ソース/ドレイン
66、74 側壁スペーサ構造体
78 層

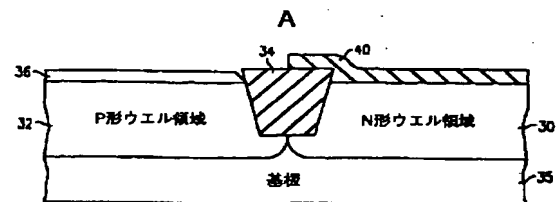
【図1】



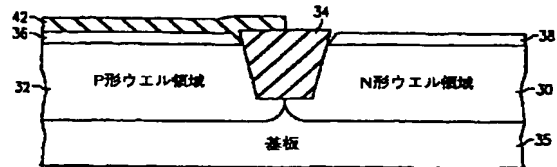
【図4】



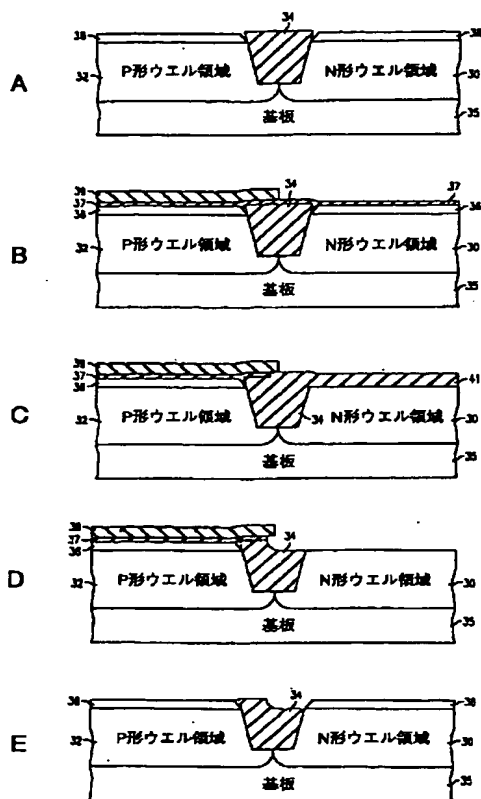
【図2】



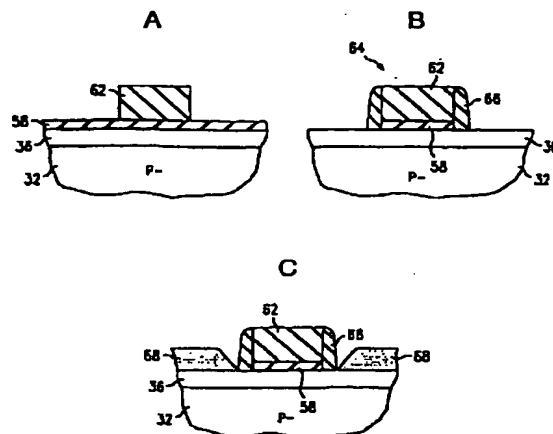
B



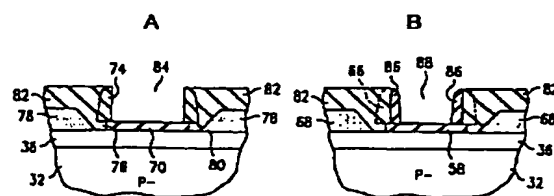
【図 3】



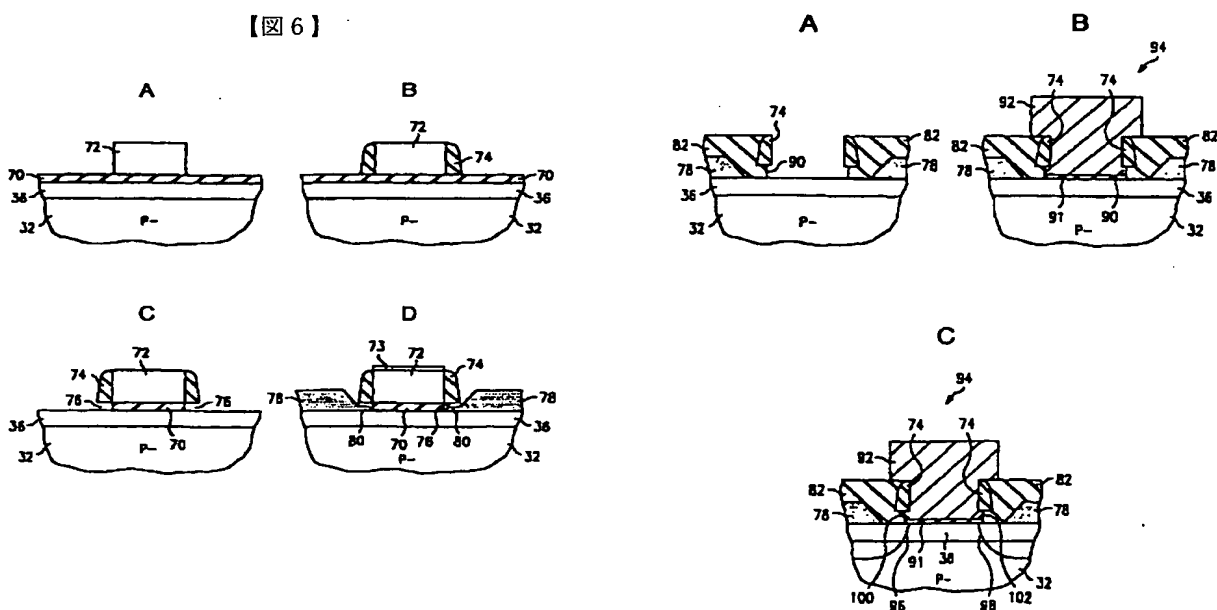
【図 5】



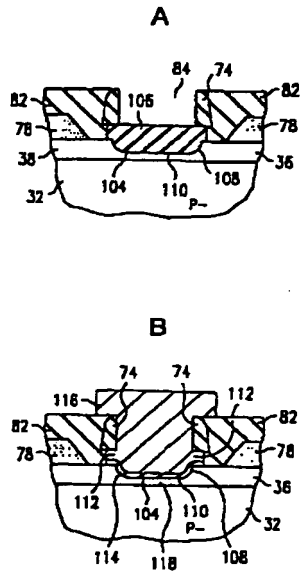
【図 7】



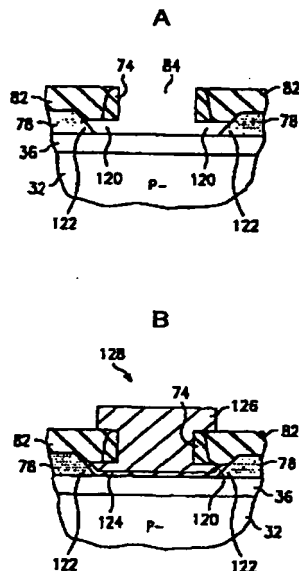
【図 8】



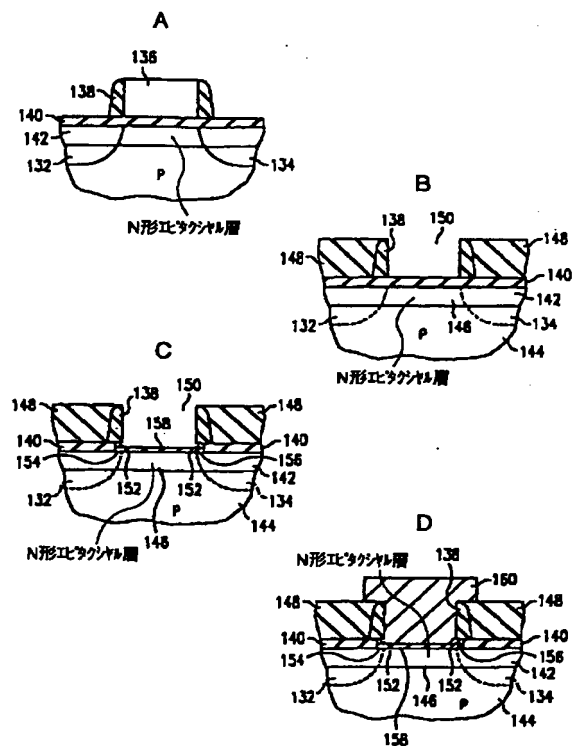
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 スハイル ムルタザ
 アメリカ合衆国 テキサス州ダラス, ウォ
 ルナット ストリート 9944, アパートメ
 ント 2085